

CLIPPEDIMAGE= JP02001319995A

PAT-NO: JP02001319995A

DOCUMENT-IDENTIFIER: JP 2001319995 A

TITLE: MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

PUBN-DATE: November 16, 2001

INVENTOR-INFORMATION:

NAME

OKADA, TETSUYA

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

SANYO ELECTRIC CO LTD

COUNTRY

N/A

APPL-NO: JP2000137479

APPL-DATE: May 10, 2000

INT-CL (IPC): H01L023/14;H01L021/3065 ;H01L021/304
;H01L021/52 ;H01L021/56
;H01L021/301 ;H01L023/12

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device which gives a compact package where a packaging area is reduced, at the same time, uses a silicon substrate, does not have any via holes, and can manufacture inexpensively.

SOLUTION: A sticking electrode 44a that is buried into a silicon substrate 41, and a demountable electrode 44b are formed, a semiconductor chip 45 is die-bonded on the sticking electrode 44a, the electrode 46 of a semiconductor chip 45 is electrically connected to the demountable electrode 44b, and covering is made by an insulating resin 49 for removing the silicon substrate

41 from a back surface, thus achieving the manufacturing method of the semiconductor device for appropriately packaging an extremely thin and inexpensive, minute semiconductor chip.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-319995

(P2001-319995A)

(43) 公開日 平成13年11月16日 (2001. 11. 16)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L 23/14		H 0 1 L 21/304	6 3 1 5 F 0 0 4
21/3065		21/52	C 5 F 0 4 7
21/304	6 3 1	21/56	E 5 F 0 6 1
21/52		23/14	S
21/56		21/302	J
審査請求 未請求 請求項の数 4 O L (全 6 頁) 最終頁に続く			

(21) 出願番号 特願2000-137479(P2000-137479)

(22) 出願日 平成12年5月10日 (2000. 5. 10)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72) 発明者 岡田 哲也

大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

F ターム (参考) 5F004 DB01 DB03

5F047 AA02 BA52

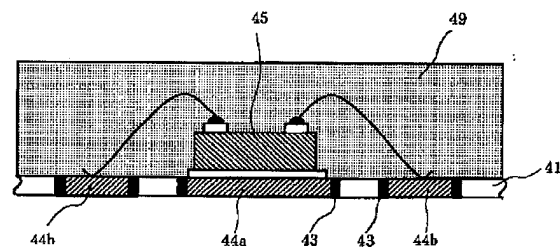
5F061 AA01 BA07 CA04 CB13

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 実装面積を縮小した小型のパッケージを得ると共に、シリコン基板を用いたビアホールのない安価に製造できる半導体装置の製造方法を提供する。

【解決手段】 シリコン基板 4 1 に埋め込まれた固着電極 4 4 a および取り出し電極 4 4 b を形成した後、固着電極 4 4 a 上に半導体チップ 4 5 をダイボンダし、半導体チップ 4 5 の電極 4 6 と取り出し電極 4 4 b とを電気的に接続し、絶縁性樹脂 4 9 で被覆してからシリコン基板 4 1 を裏面より除去することにより、極めて薄型で安価な微小半導体チップの実装に最適の半導体装置の製造方法が実現される



【特許請求の範囲】

【請求項1】 シリコン基板の表面の予定の固着電極及び取り出し電極となる部分にトレンチ溝を形成する工程と、

前記トレンチ溝の少なくとも側面および底面に酸化膜を形成した後、前記トレンチ溝の底面の前記酸化膜を除去する工程と、

前記トレンチ溝に埋め込まれた導電性金属よりなる前記固着電極および取り出し電極を形成する工程と、

前記固着電極上に半導体チップをダイボンドし、前記半導体チップの電極と前記取り出し電極とを電気的に接続する工程と、

前記半導体チップを含み前記シリコン基板表面を絶縁性樹脂で被覆する工程と、

前記シリコン基板を裏面より除去して前記固着電極及び取り出し電極の裏面を露出する工程と、

前記絶縁性樹脂をダイシングして個別の半導体素子に分離する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】 前記導電性金属は金あるいは銅のメッキで形成されることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記半導体チップの電極と前記取り出し電極とはボンディングワイヤーで接続されることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記シリコン基板は裏面より研削により除去されることを特徴とする請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特にシリコン基板上に設けた固着電極及び取り出し電極を用いて半導体チップの組み立てを行う半導体装置の製造方法に関する。

【0002】

【従来の技術】従来の半導体装置の組立工程においては、ウェハからダイシングして分離した半導体チップをリードフレームに固着し、金型と樹脂注入によるトランスファーモールドによって半導体チップを封止し、リードフレームを切断して個々の半導体装置毎に分離する、という工程が行われている。この手法によって得られる半導体装置は、図9に示したように、半導体チップ1の周囲を樹脂層2で被覆し、該樹脂層2の側部から外部接続用のリード端子3を導出した構造になる（例えば特開平05-129473号）。

【0003】この構造は、樹脂層2の外側にリード端子3が突出すること、リードフレームの加工精度の問題や金型との位置あわせ精度の問題により、外形寸法とその実装面積の縮小化には限界が見えていた。

【0004】近年、外形寸法を半導体チップサイズと同

等あるいは近似した寸法にまで縮小する事が可能な、ウェハスケールCSP（チップサイズパッケージ）が注目され始めている。これは、図10（A）を参照して、半導体ウェハ11に各種拡散などの前処理を施して多数の半導体チップ12を形成し、図10（B）に示したように半導体ウェハ11の上部を樹脂層13で被覆すると共に樹脂層13表面に外部接続用の電極14を導出し、その後半導体ウェハ11のダイシングラインに沿って半導体チップ11を分割して、図10（C）に示したような完成品としたものである。樹脂層13は半導体チップ12の表面（裏面を被覆する場合もある）を被覆するだけであり、半導体チップ12の側壁にはシリコン基板が露出する。電極14は樹脂層13下部に形成された集積回路網と電気的に接続されており、実装基板上に形成した導電パターンに対して電極14を対向接着することによりこの半導体装置の実装が実現する。

【0005】斯かる半導体装置は、装置のパッケージサイズが半導体チップのチップサイズと同等であり、実装基板に対しても対向接着で済むので、実装占有面積を大幅に減らすことが出来る利点を有する。また、後工程に拘わるコストを大幅に減じることが出来る利点を有するものである。（例えば、特開平9-64049号）そこで、チップサイズが1mm角に満たない程度のチップでは図11（A）（B）（C）に示すように実装されている。

【0006】図中、21はセラミックやガラスエポキシ等からなる絶縁基板であり、それらが1枚あるいは数枚重ね合わされて、板厚が250～350μmと製造工程における機械的強度を維持し得る厚みと、長辺×短辺が1.0mm×0.8mm程度の矩形形状を有している。

【0007】絶縁基板21の表面には、タングステン等の金属ペーストの印刷と、電解メッキ法による前記金属ペースト上への金メッキによって導電パターンを形成し、アイランド部22と電極部23a、23bとを形成している。アイランド部22の上には、Agペーストなどの導電性接着剤24によって半導体チップ25が固着されている。

【0008】半導体チップ25の表面にはアルミ電極パッド26が形成され、電極パッド26と電極部23a、23bとが、ボンディングワイヤ27によって電気接続される。電極パッド26側に1stボンド、電極部23側に2ndボンドが打たれる。バイポーラトランジスタで有れば、電極部23a、23bはエミッタとベースに対応し、パワーMOSFETで有れば、ソースとゲートに対応する。

【0009】前記絶縁基板21の裏面側には、同じく金メッキ層によって第1の外部接続電極28と第2の外部接続電極29a、29bが形成される。絶縁基板21にはこれを貫通する、円形の第1のビアホール30と第2のビアホール31a、31bが形成され、各ビアホール

30、31a、31bの内部はタングステンなどの導電材料によって埋設される。素材としては、電気的導電性と熱伝導性に優れた素材で埋設する。該ビアホール30、31a、31bによって、アイランド部22と第1の外部接続電極28とを、電極部23a、23bと第2の外部接続電極29a、29bとを、各々電気接続する。第1の外部接続電極28が例えばコレクタ電極となり、第2の外部接続電極29a、29bが例えばベース、エミッタ電極となる。

【0010】絶縁基板21の上方は、半導体チップ25とボンディングワイヤ27とを封止する樹脂層32で被覆される。樹脂層32は絶縁基板21と共にパッケージ外形を構成する。パッケージの周囲4側面は樹脂層32と絶縁基板21の切断面で形成され、パッケージの上面は平坦化した樹脂層32の表面、パッケージの下面は絶縁基板21の裏面側で形成される。

【0011】

【発明が解決しようとする課題】しかしながら図11で示した実装構造においていろいろな問題点がある。第1に、セラミックやガラスエポキシ等の高価な基板材料を用い、更にタングステン等の高価な金属ペーストを用いているので、ローコストの実装構造とは言えない。第2に、両面の電極等を接続するために、絶縁基板を貫通するビアホールが不可欠であり、この加工精度も0.15mm程度が限界であるので、更なる小型化の障害となっている。第3にこのビアホール内を金属ペーストで充填するため作業性が極めて悪く、コスト高の原因となる。第4に半導体チップを形成する前工程と絶縁基板を用いて半導体チップを組み立てる後工程に区分されており、リードタイムが長く、製造コストも高くなる等々の多くの問題点が発生している。

【0012】

【課題を解決するための手段】本発明は上述した種々の問題点に鑑みてなされたものであり、シリコン基板の表面の予定の固着電極及び取り出し電極となる部分にトレンチ溝を形成する工程と、前記トレンチ溝の少なくとも側面および底面に酸化膜を形成した後、前記トレンチ溝の側面の前記酸化膜を除去する工程と、前記トレンチ溝に埋め込まれた導電性金属よりなる前記固着電極および取り出し電極を形成する工程と、前記固着電極上に半導体チップをダイボンダし、前記半導体チップの電極と前記取り出し電極とを電気的に接続する工程と、前記半導体チップを含み前記シリコン基板表面を絶縁性樹脂で被覆する工程と、前記シリコン基板を裏面より除去して前記固着電極及び取り出し電極の裏面を露出する工程と、前記絶縁性樹脂をダイシングして個別の半導体素子に分離する工程とから構成されることに特徴を有する。

【0013】

【発明の実施の形態】図1から図8を参照して本発明の半導体装置の製造方法を詳述する。

【0014】本発明は、シリコン基板41の表面の予定の固着電極44aおよび取り出し電極44bとなる部分にトレンチ溝42を形成する工程と、前記トレンチ溝42の少なくとも側面および底面に酸化膜43を形成した後、前記トレンチ溝42の底面の前記酸化膜43を除去する工程と、前記トレンチ溝42に埋め込まれた導電性金属よりなる前記固着電極44aおよび取り出し電極44bを形成する工程と、前記固着電極44a上に半導体チップ45をダイボンダし、前記半導体チップ45の電極46と前記取り出し電極44bとを電気的に接続する工程と、前記半導体チップ45を含み前記シリコン基板41表面を絶縁性樹脂49で被覆する工程と、前記シリコン基板41を裏面より除去して前記固着電極44aおよび取り出し電極44bの裏面を露出する工程と、前記絶縁性樹脂49をダイシングして個別の半導体素子に分離する工程とから構成されている。

【0015】本発明の第1の工程は、図1に示す如く、シリコン基板41の表面の予定の固着電極44aおよび取り出し電極44bとなる部分にトレンチ溝42を形成することにある。

【0016】本工程では、約200μmの厚みのシリコン基板41を準備し、予定の固着電極44a及び取り出し電極44bとなる部分を露出して他の部分をホトレジスト層で被覆し、シリコン基板41表面を選択的にドライエッチングして約10〜50μmの深さのトレンチ溝42を形成する。予定の固着電極44aを形成するトレンチ溝42aは半導体チップよりやや大きく形成され、予定の取り出し電極44bはボンディングワイヤが固着できるように一辺200μmの正方形形状にトレンチ溝42bが形成される。

【0017】本発明の第2の工程は、図2および図3に示す如く、トレンチ溝42の少なくとも側面および底面に酸化膜43を形成した後、トレンチ溝42の底面の酸化膜43を除去することにある。

【0018】本工程では、シリコン基板41表面を熱酸化して全面に約5000Åから10000Åの厚い酸化膜43を形成する(図2)。従って、酸化膜43はシリコン基板41表面、トレンチ溝42の側面および底面に形成される。続いてこの酸化膜43を異方性ドライエッチングしてシリコン基板41表面およびトレンチ溝42底面の酸化膜43を選択的に除去する(図3)。これによりトレンチ溝42の側面に酸化膜43が残る。

【0019】本発明の第3の工程は、図4に示す如く、トレンチ溝42に埋め込まれた導電性金属よりなる固着電極44aおよび取り出し電極44bを形成することにある。

【0020】本工程では、銅または金等の導電性金属を電気メッキして、少なくともトレンチ溝42を埋める。導電性金属のメッキ膜はトレンチ溝42を含めてシリコン基板41に全面に形成された後、ホトレジスト層によ

リトレンチ溝42の導電性金属のメッキ膜を残してエッチング除去される。

【0021】本発明の第4の工程は、図5に示す如く、固着電極44a上に半導体チップ45をダイボンドし、半導体チップ45の電極46と取り出し電極44bとを電氣的に接続することにある。

【0022】本工程では、半導体チップ45は固着電極44a表面にAgペーストなどの導電接着剤48によって固着され、半導体チップ45の電極パッド46と取り出し電極44bとをボールボンディングにより各々ボンディングワイヤ47で接続する。

【0023】半導体チップ45は、N+/N型構造のように、裏面側に高濃度不純物層を有しており、該高濃度層を介して、ダイオード素子で有ればアノード又はカソードの一方の端子を、バイポーラ型トランジスタで有ればコレクタ端子を、パワーMOSFETで有ればドレイン端子を導出する構造である。そして、該高濃度層が導電性接着剤48を介して固着電極44aに電気接続される。

【0024】半導体チップ45の表面にはアルミ電極パッド46が形成され、電極パッド46と取り出し電極44bとが、ボンディングワイヤ47によって電気接続される。電極パッド46側に1stボンド、取り出し電極44b側に2ndボンドが打たれる。バイポーラトランジスタで有れば、取り出し電極44bはそれぞれエミッタとベースに対応し、パワーMOSFETで有れば、ソースとゲートに対応する。

【0025】本発明の第5の工程は、図6に示す如く、半導体チップ45を含みシリコン基板41表面を絶縁性樹脂49で被覆することにある。

【0026】本工程では、シリコン基板41の上方に移送したディスペンサ（図示せず）から所定量のエポキシ系液体樹脂を滴下（ポッティング）し、すべての半導体チップ45を共通の樹脂層49で被覆する。前記液体樹脂として例えばCV576AN（松下電工製）を用いた。滴下した液体樹脂は比較的粘性が高く、表面張力を有しているため、その表面が湾曲する。樹脂層49の湾曲した表面を平坦面に加工するには、樹脂が硬化する前に平坦な成形部材を押圧して平坦面に加工する手法と、滴下した樹脂層49を100～200度、数時間の熱処理（キュア）にて硬化させた後に、湾曲面を例えばダイシングブレードで研削することによって平坦面に加工する手法とが考えられる。

【0027】本発明の第6の工程は、図7に示す如く、シリコン基板41を裏面より除去して固着電極44aおよび取り出し電極44bの裏面を露出することにある。

【0028】本工程は本発明の特徴とするものであり、シリコン基板41を裏面より研削する。シリコン基板41は約200μmの厚み有するので、大部分をバックグラインドにより機械的に研削し、残りの10～20μm

をスピンエッチングにより化学的に除去する。シリコン基板41の表面は樹脂層49で被覆されているので、樹脂層49の持つ機械的強度でシリコン基板41が割れることはない。この結果、固着電極44aおよび取り出し電極44bの裏面が樹脂層49の裏面側に露出される。このとき酸化膜43は固着電極44aおよび取り出し電極44bの電氣的絶縁材として働いている。

【0029】本発明の最終工程は、図8に示す如く、絶縁性樹脂49をダイシングして個別の半導体素子に分離することにある。

【0030】本工程では、半導体チップ45毎に樹脂層49とシリコン基板41を切断して各々の半導体素子に分離する。切断にはダイシング装置を用い、点線で示すダイシングライン50に沿って樹脂層49とシリコン基板41とをダイシングブレード51で同時に切断することにより、半導体チップ45毎に分割した半導体装置を形成する。ダイシング工程においてはシリコン基板41の裏面側にブルーシート（たとえば、商品名：UVシート、リンテック株式会社製）を貼り付け、前記ダイシングブレードがブルーシートの表面に到達するような切削深さで切断する。

【0031】

【発明の効果】以上に説明したように、本発明によれば、リードフレームを用いた半導体装置よりも更に小型化できるパッケージ構造を提供できる利点を有する。このとき、リード端子が突出しない構造であるので、実装したときの占有面積を低減し、高密度実装を実現できる。

【0032】また、半導体チップを固着する基板をシリコン基板で形成できるので、従来のセラミック基板に比べて大幅にコストを削減できる。

【0033】更に、シリコン基板は既存の設備で加工ができ、新たな設備が不要である。シリコン基板も前工程で処理できるので、後工程が極めて短く、リードタイムを大幅に短縮できる。

【0034】更に、ビアホールが不要となるので、スルーホール工程を全面的に排除でき、大幅な工程短縮ができる。

【0035】更に、シリコン基板は半導体チップを作る基板より大口径のものを用いれば、大量生産に有利となる。

【図面の簡単な説明】

【図1】本発明を説明するための断面図である。

【図2】本発明を説明するための断面図である。

【図3】本発明を説明するための断面図である。

【図4】本発明を説明するための断面図である。

【図5】本発明を説明するための断面図である。

【図6】本発明を説明するための断面図である。

【図7】本発明を説明するための断面図である。

【図8】本発明を説明するための平面図である。

(5)

特開2001-31995

7

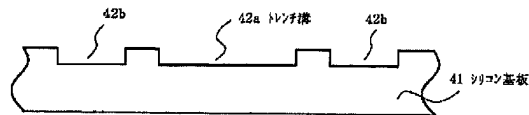
8

【図9】従来例を説明するための断面図である。

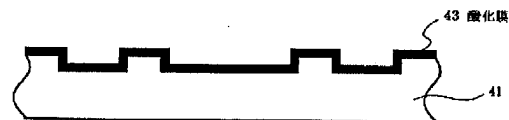
【図11】他の従来例を説明するための図である。

【図10】従来例を説明するための図である。

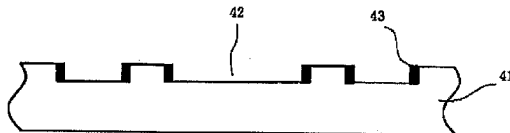
【図1】



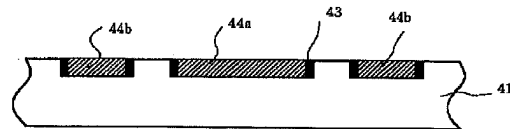
【図2】



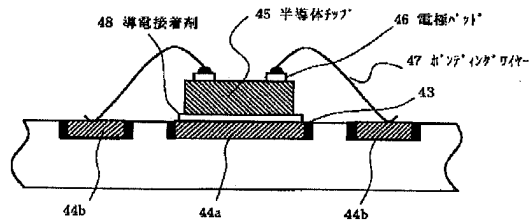
【図3】



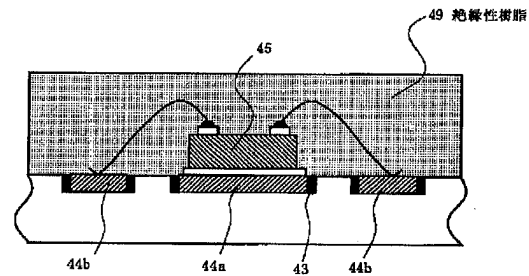
【図4】



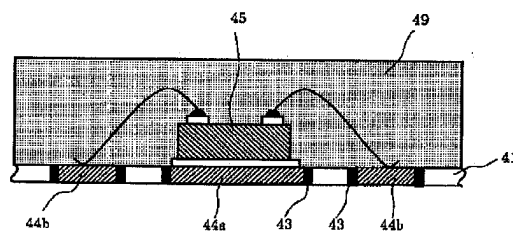
【図5】



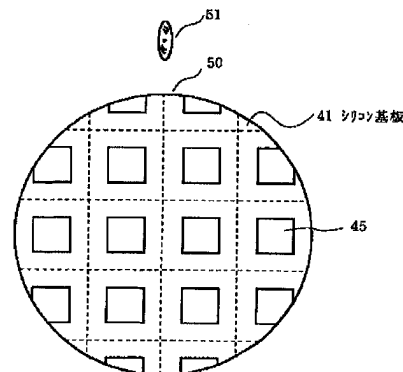
【図6】



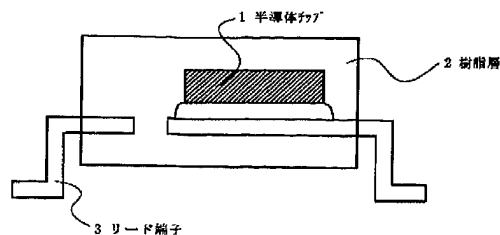
【図7】



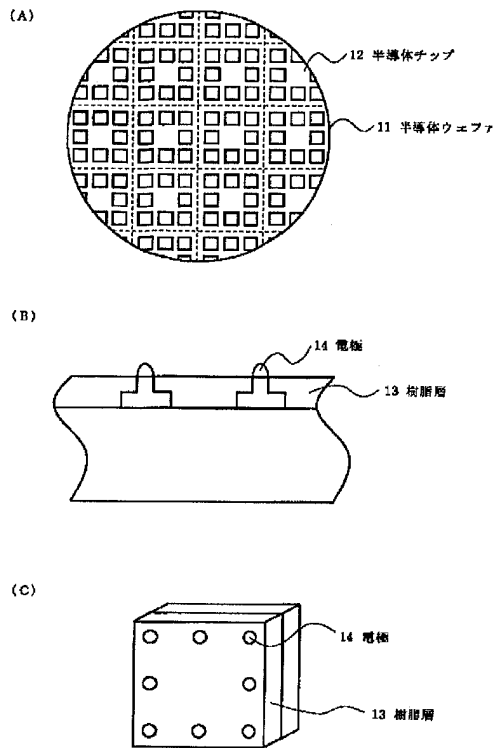
【図8】



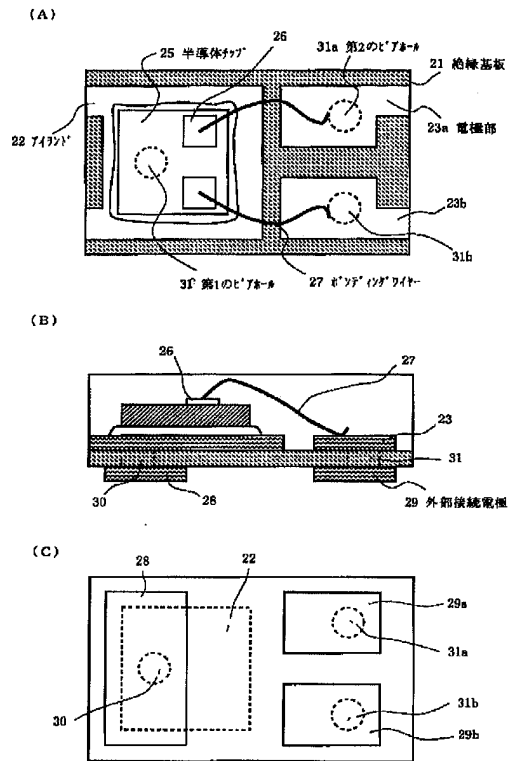
【図9】



【図10】



【図11】



フロントページの続き

(51) Int. Cl.⁷
H 0 1 L 21/301
23/12

識別記号

F I
H 0 1 L 21/78
23/12

テーマコード(参考)

L
L